



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: CHUNG, Ching-Yao; SUNG, Nai-Yin; CHEN, Yen-Hao

SERIAL NO.: 10/721,198

FILED: November 25, 2003

TITLE: POWER SUPPLY LAYOUT FOR AN INTEGRATED CIRCUIT

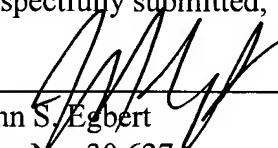
TRANSMITTAL OF CERTIFIED COPY OF FOREIGN PRIORITY DOCUMENT

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Attached please find the Foreign Priority Document, Republic of China Patent Application No. 092125014 filed on 10 September 2003.

Respectfully submitted,


John S. Egbert
Reg. No. 30,627
Harrison & Egbert
412 Main Street, 7th Floor
Houston, Texas 77002
(713)224-8080
(713)223-4873 (Fax)

2-26-04
Date

CERTIFICATE OF MAILING UNDER 37 CFR 1.8(a)

I hereby certify that the attached CERTIFIED COPY OF FOREIGN PRIORITY DOCUMENT is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

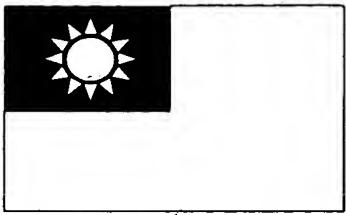
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

on MAR 01 2004, 2004.

MAR 01 2004

Date


John S. Egbert



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 09 月 10 日
Application Date

申 請 案 號：092125014
Application No.

申 請 人：科雅科技股份有限公司
Applicant(s)

局 長

Director General

蔡 廉 生



發文日期：西元 2003 年 10 月 23 日
Issue Date

發文字號：09221077300
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日期：

※IPC分類：

壹、發明名稱：(中文/英文)

積體電路之電源供應佈線結構

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

科雅科技股份有限公司

GOYATEK TECHNOLOGY INC.

代表人：(中文/英文)

黃鈦銘

住居所或營業所地址：(中文/英文)

新竹市科學工業園區研發二路25號3樓

3F, NO. 25, R & D ROAD II, SCIENCE-BASED INDUSTRIAL PARK,
HSIN-CHU, TAIWAN, REPUBLIC OF CHINA

國籍：(中文/英文)

中華民國/REPUBLIC OF CHINA

參、發明人：(共3人)

姓名：(中文/英文)

1. 鐘慶堯/CHING-YAO CHUNG

2. 宋乃胤/NAI-YIN SUNG

3. 陳彥豪/YEN-HAO CHEN

住居所地址：(中文/英文)

1. 高雄縣大寮鄉大勇街205號

NO.205, DAYONG ST., DALIAO TOWNSHIP, KAOHSIUNG
COUNTY 831, TAIWAN, REPUBLIC OF CHINA

2. 新竹市柴橋路59巷58號6樓

6F, NO. 58, LANE 59, CHAI-CHIAO ROAD, HSINCHU CITY 300,
TAIWAN, REPUBLIC OF CHINA

3. 台中市西區忠勤街 27 號 11 樓之 5

11F.-5, NO.27, JHONGCIN ST., WEST DISTRICT, TAICHUNG CITY
403, TAIWAN, REPUBLIC OF CHINA

國 籍：(中文/英文)

1. 中華民國/REPUBLIC OF CHINA
2. 中華民國/REPUBLIC OF CHINA
3. 中華民國/REPUBLIC OF CHINA

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 本案在向中華民國提出申請前未曾向其他國家提出申請專利。
- 2.
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明揭示一種積體電路之電源供應佈線結構，其包含複數個電源墊、複數個接地墊、複數條直接電氣連接於該電源墊之第一型導線、複數條直接電氣連接於該接地墊之第二型導線以及一核心電路。該核心電路係電氣連接於該第一型導線及該第二型導線以取得運作所需之電源。該積體電路係由多層金屬層構成，且該第一型導線與該第二型導線係位於不同之金屬層。本發明之電源供應佈線結構可避免使用電源環或接地環，因而可以節省電源環或接地環所佔用之晶片面積。

陸、英文發明摘要：

柒、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件代表符號簡單說明：

30	積體電路	32	核心電路
40	電源墊	42	第一型導線
44	第一導線	46	第二導線
50	接地墊	52	第二型導線
54	第三導線	56	第四導線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

一、發明所屬之技術領域

本發明係關於一種積體電路之電源供應佈線結構，特別係關於一種可節省晶片面積(die size)之電源供應佈線結構。

二、先前技術

為了提供更多的功能，單一晶圓上之積體電路元件數不斷地增加，使得電子元件和內連線之尺寸必須不斷地縮小。當內連線之尺寸縮小時，其電容及電阻所引起的時間延遲將增加，而變成了達成高效能電路之障礙。內連線之電阻及通過之電流乘積導致電壓降(voltage drop)，而降低了供應到核心電路(core circuit)之實際電壓。此外，由於系統單晶片的盛行，一積體電路內常包含多個矽智財元件，因此使得內連線之長度變長而增加了內連線之電阻，亦導致電壓降之增加。

圖 1 係一習知之積體電路 10 之示意圖。如圖 1 所示，積體電路 10 包含一核心電路 12、一電源環 14 及一接地環 24。電源墊 16 係藉由金屬線 18 提供正電位(V_{DD})至電源環 14，而接地墊 26 則藉由金屬線 28 提供負電位(V_{SS})至接地環 24。核心電路 12 運作所需之正電位及負電位係藉由其內連線，直接取自電源環 14 及接地環 24。該積體電路 10 係由電源環技術來縮短電源至核心電路之內連線長度，以降低電壓降。一般而言，積體電路係由多層金屬層構成。若核心電路 12 之電子元件與電源環 14(或接地環 24)係設

置於不同之金屬層，則必須藉由一介層窗插塞(via plug)或接觸窗插塞(Contact plug)予以電氣連接。

習知之電源環技術具有下列之缺點：

1. 電源環 14 及接地環 24 所使用之晶片面積無法再用以設置其它的電子元件。隨著積體電路 10 之積集度不斷增加，電子元件之尺寸不斷縮小，電源環 14 及接地環 24 相對地佔用了過大的晶片面積。
2. 由於電子元件與電源環 14(或接地環 24)之距離(內連線長度)並不相同，因此電子元件之間的電壓降亦不相同。特而言之，位於核心電路 12 中心之電子元件因距離最遠而具有最大的電壓降。
3. 電源環 14 及接地環 24 係分別藉由金屬線 18 及 28 提供所需之電位。若電源環 14 與電源墊 16 或接地環 24 與接地墊 26)係分別設置於不同之金屬層，則該金屬線 18 與 28 為一介層窗插塞。很明顯地，除了核心電路 12 之內連線外，金屬線 18 與 28 亦會造成電壓降。
4. 設計積體電路 10 時，必須先考量核心電路 12 之電源消耗以及電子遷移(electromigration, EM)效應，再據以決定電源環 14 及接地環 24 之寬度，使得積體電路 10 之設計工作更加複雜。

三、發明內容

本發明之主要目的係提供一種積體電路之電源供應佈線結構，以節省晶片面積。

為達成上述目的，本發明提供一種積體電路之電源供應

佈線結構，其包含複數個電源墊、複數個接地墊、複數條直接電氣連接於該電源墊之第一型導線、複數條直接電氣連接於該接地墊之第二型導線以及一核心電路。該第一型導線係電氣連接於一正電位，而該第二型導線係電氣連接於一接地電位。該核心電路係電氣連接於該第一型導線及該第二型導線以取得運作所需之電源。該積體電路係由多層金屬層構成，該第一型導線與該第二型導線係位於不同金屬層，且該複數個電源墊或接地墊係分別與其所連接之該複數條導線位於同一金屬層。

該複數條第一型導線包含複數條第一導線以及複數條第二導線，其中該複數條第一導線與該複數條第二導線係呈交叉網格排列。若該核心電路某一區域之用電需求較高，本發明之電源佈線結構可採用非等間距之方式設置該第一型導線及該第二型導線，以提供該區域較多之電源連接點。此外，本發明之電源佈線結構可包含至少一條輔助導線，其電氣連接於該複數條第一導線，且二末端未連接於該電源墊。藉由該輔助導線，本發明可在不增加電源墊數目之條件下，提供該核心電路更多之電源連接點，以降低電壓降。

相較於習知技藝，本發明具有下列之優點：

1. 本發明之電源佈線結構並不使用電源環或接地環，因此可節省電源環和接地環所佔用之晶片面積。
2. 本發明藉由非等間距設置之導線及輔助導線設計，而確保該核心電路之電子元件的電壓降在可容許的範圍內。

3. 本發明之電源墊與導線可設置於同一金屬層且直接電氣連接，因此可避免習知技藝使用介層窗插塞連接該電源環與該電源墊所造成之電壓降。
4. 由於本發明之電源佈線結構並不使用電源環，因此可避免設計電源環時所需考量之電源消耗及電子遷移效應，可簡化積體電路之設計工作。

四、實施方式

圖 2 係本發明第一實施例之積體電路 30 之示意圖。如圖 2 所示，積體電路 30 包含複數個電源墊 40、複數個接地墊 50、複數條直接電氣連接於該電源墊 40 之第一型導線 42、複數條直接電氣連接於該接地墊 50 之第二型導線 52 以及一核心電路 32。該第一型導線 42 係電氣連接於一正電位，而該第二型導線 52 係電氣連接於一接地電位。該積體電路 30 係由多層金屬層構成，該第一型導線 42 與該第二型導線 52 係位於不同之金屬層。該電源墊 40 與該第一型導線 42 係位於同一金屬層，而該接地墊 50 與該第二型導線 52 係位於同一金屬層。

該核心電路 32 之電子元件係電氣連接於該第一型導線 42 及該第二型導線 52 以取得運作所需之電源。該複數條第一型導線 42 及該複數條第二型導線 52 彼此間可採用等間距之方式設置。此外，該第一型導線 42 及該第二型導線 52 係呈直線狀，且其一末端係分別直接電氣連接於該電源墊 40 及該接地墊 50，即該電源墊 40 及該接地墊 50 可以非對稱之方式設置於該核心電路 32 之周圍。

該複數條第一型導線 42 包含複數條第一導線 44 以及複數條第二導線 46，其中該複數條第一導線 44 與該複數條第二導線 46 係呈交叉網格排列，並跨越該核心電路 32。該核心電路 32 之電子元件可以一接觸窗插塞(未顯示於圖 2 中)電氣連接至第一導線 44 或該第二導線 46 以取得所需之正電位，其中該接觸窗插塞係與距離最近之第一型導線 42 電氣連接以降低電壓降。同理，該複數條第二型導線 52 亦包含複數條呈交叉網格排列之第三導線 54 及複數條第四導線 56，而該核心電路 32 之電子元件可以一接觸窗插塞電氣連接至第三導線 54 或該第四導線 56 以取得所需之接地電位。

圖 3 係本發明第二實施例之積體電路 60 之示意圖。相較於圖 2 之積體電路 30，積體電路 60 之第一型導線 42 及該電源墊 40 係以非等間距之方式設置，且每一條第一型導線 42 之二末端均直接電氣連接於設置於該核心電路 32 周圍之電源墊 40。同理，該第二型導線 52 及該接地墊 50 亦以非等間距之方式設置，且該第二型導線 52 之二末端均直接電連接於接地墊 50。

如果核心電路 32 之區域 62 之用電需求較高，則設計者可在該區域 62 附近設置較密集之電源墊 40 及接地墊 50，亦即在區域 62 附近設置較密集之第一型導線 42 及第二型導線 52。藉由非等間距設置之導線及將導線之二末端均電氣連接至電源墊，積體電路 60 之電壓降可進一步調降而低於圖 2 之積體電路 30 之電壓降。

圖 4 係本發明第三實施例之積體電路 90 之示意圖。相較於圖 2 之積體電路 30，積體電路 90 另包含複數條第一型輔助導線 70、72 以及複數條第二型輔助導線 80、82。該第一型輔助導線 70 係以平行該第二導線 46 之方式設置，而該第一型輔助導線 72 則以平行該第一導線 44 之方式設置。該第一型輔助導線 70、72 之二末端並未連接於該電源墊 40，而是分別電氣連接於該第一導線 44 及第二導線 46 而保持正電位。同理，第二型輔助導線 80、82 之二末端並未連接於該接地墊 50，而是分別電氣連接於該第三導線 54 及第四導線 56 而保持於接地電位。該第一型輔助導線 70、72 與該第二型輔助導線 80、82 配合該第一型導線 42 與該第二型導線 52 可構成更加密集之交叉網格，而該核心電路 32 之電子元件可因而以較短之內連線電氣連接至正電位或負電位，進而降低電壓降。

由於本發明之電源佈線結構並不使用電源環，因此可節省習知技藝使用電源環所佔用之晶片面積，電源環佔用之晶片面積比率可以下列方程式計算：

$$PAR = 1 - x \times y / [(x + 4 \times w + 2 \times (s1 + s2 + s3)) \times (y + 4 \times w + 2 \times (s1 + s2 + s3))]$$

其中，

x ：閘極寬度

y ：閘極高度

w ：電源環或接地環之寬度

$s1$ ：內環與閘極之間距

$s2$ ：內環與外環之間距

s3:外環與電源墊之間距

例如，0.13 微米之製程之閘極寬度及高度為 900 微米，所需之電源環寬度為 20 微米，間距為 3 微米。以上式計算電源環佔用之晶片面積比率為 18.675%，亦即採用本發明之電源佈線結構，晶片面積可降低 18.675%。

相較於習知技藝，本發明具有下列之優點：

1. 本發明之電源佈線結構並不使用電源環，因此可節省電源環所佔用之晶片面積。
2. 本發明藉由非等間距設置之導線及輔助導線，可確保核心電路之電子元件的電壓降在容許的範圍內。
3. 本發明之電源墊與導線係可設置同一金屬層且直接電氣連接，因此可避免習知技藝使用介層窗插塞連接該電源環與該電源墊所造成之電壓降。
4. 由於本發明之電源佈線結構並不使用電源環，因此可避免設計電源環時所需考量之電源消耗及電子遷移效應，可簡化積體電路之設計工作。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

五、圖式簡要說明

圖 1 係一習知之積體電路之示意圖；

圖 2 係本發明第一實施例之積體電路之示意圖；

圖 3 係本發明第二實施例之積體電路之示意圖；以及
圖 4 係本發明第三實施例之積體電路之示意圖。

六、元件符號說明

10	積體電路	12	核心電路
14	電源環	16	電源墊
18	金屬線	24	接地環
26	接地墊	28	金屬線
30	積體電路	32	核心電路
40	電源墊	42	第一型導線
44	第一導線	46	第二導線
50	第二型接地墊	52	第二型導線
54	第三導線	56	第四導線
60	積體電路	62	區域
70、72	第一型輔助導線	80、82	第二型輔助導線
90	積體電路		

拾、申請專利範圍：

1. 一種積體電路之電源供應佈線結構，包含：
複數個電源墊；
複數個接地墊；
複數條導線，直接電氣連接於該複數個電源墊和接地墊；以及
一核心電路，電氣連接於該複數條導線以取得運作所需之電源；
其中該積體電路係由多層金屬層構成，且該複數個電源墊或接地墊係分別與其所連接之該複數條導線位於同一金屬層。
2. 如申請專利範圍第1項之積體電路之電源供應佈線結構，其中該複數條導線包含：
複數條第一導線；以及
複數條第二導線，其與該複數條第一導線呈交叉網格排列。
3. 如申請專利範圍第2項之積體電路之電源供應佈線結構，其另包含至少一條輔助導線，電氣連接於該複數條第一導線，且該輔助導線之二末端均未連接於該電源墊或接地墊。
4. 如申請專利範圍第1項之積體電路之電源供應佈線結構，其中該複數條導線係呈直線狀，且其一末端係直接電氣連接於該電源墊或接地墊。
5. 如申請專利範圍第1項之積體電路之電源供應佈線結構，其中該複數條導線係呈直線狀，且其二末端均直接電氣連

接位於該核心電路二側之電源墊或接地墊。

6. 如申請專利範圍第1項之積體電路之電源供應佈線結構，其中該電源墊和接地墊係以非等間距之方式設置該於核心電路之周圍。
7. 一種積體電路之電源供應佈線結構，包含：
 - 複數個電源墊；
 - 複數個接地墊；
 - 複數條第一型導線，直接電氣連接於該複數個電源墊；
 - 複數條第二型導線，直接電氣連接於該複數個接地墊；
 - 一核心電路，電氣連接於該第一型導線及該第二型導線以取得運作所需之電源；以及
 - 其中，該積體電路係由多層金屬層構成，且該第一型導線與該第二型導線係位於不同之金屬層。
8. 如申請專利範圍第7項之積體電路之電源供應佈線結構，其中該複數條第一型導線包含：
 - 複數條第一導線；以及
 - 複數條第二導線，其與該複數條第一導線呈交叉網格排列。
9. 如申請專利範圍第8項之積體電路之電源供應佈線結構，其另包含至少一條輔助導線，電氣連接於該複數條第一導線，且該輔助導線之二末端未連接於該電源墊。
10. 如申請專利範圍第7項之積體電路之電源供應佈線結構，其中該複數條第一型導線係呈直線狀，且其一末端係直接電氣連接於該電源墊。
11. 如申請專利範圍第7項之積體電路之電源供應佈線結構，

其中該複數條第一型導線係呈直線狀，且其二末端均直接電氣連接位於該核心電路二側之電源墊。

12. 如申請專利範圍第7項之積體電路之電源供應佈線結構，其中該電源墊與該第一型導線係電氣連接於一正電位，而該接地墊與該第二型導線係電氣連接於一接地電位。
13. 如申請專利範圍第7項之積體電路之電源供應佈線結構，其中該電源墊係以非等間距之方式設置於核心電路之周圍。

拾壹、圖式：

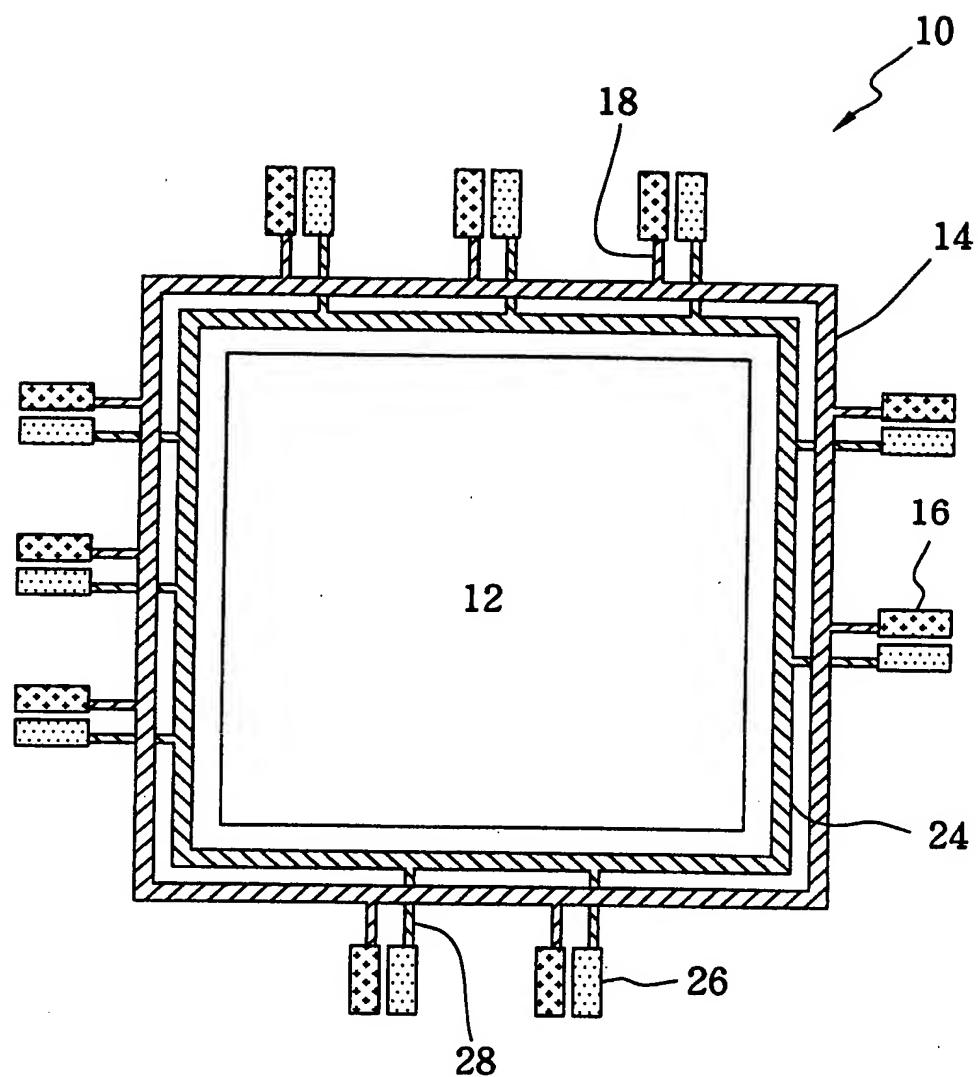


圖 1 (習知技藝)

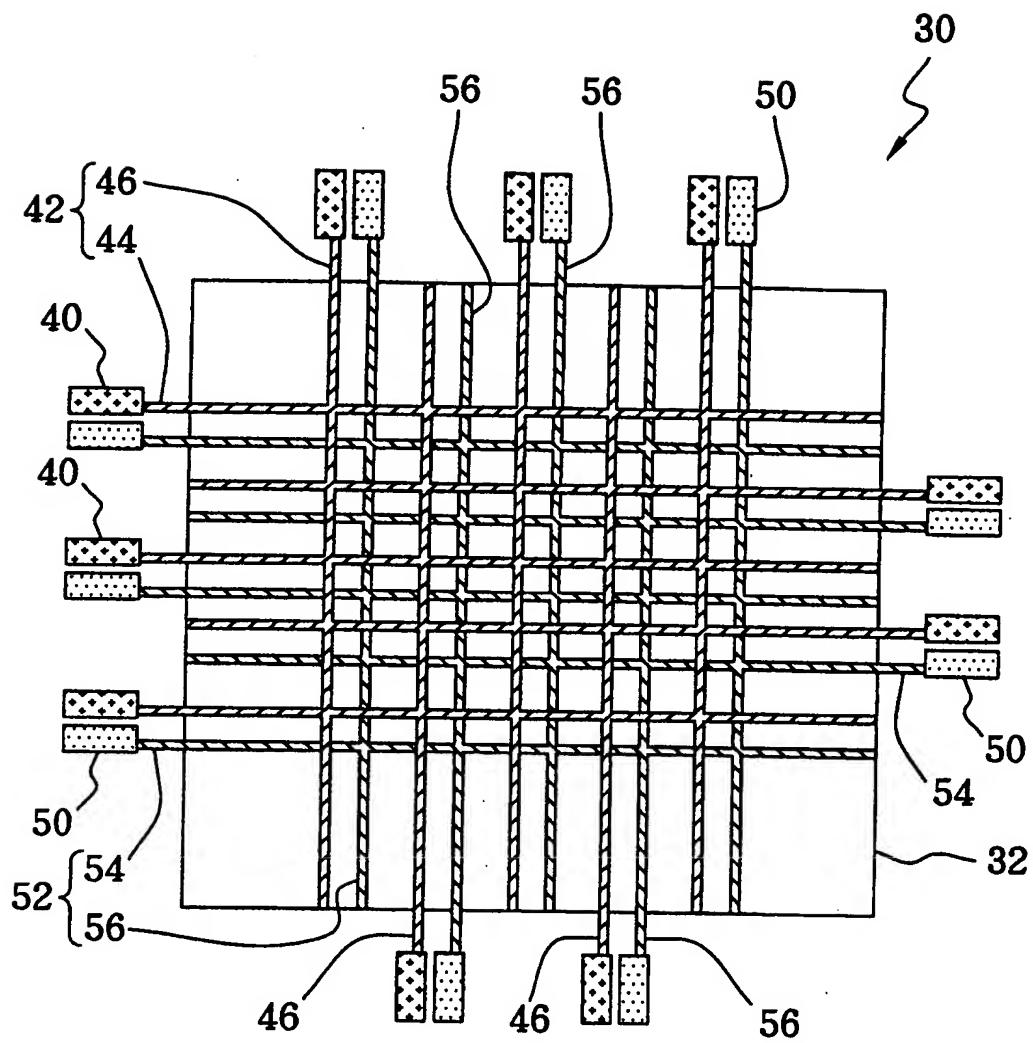


圖 2

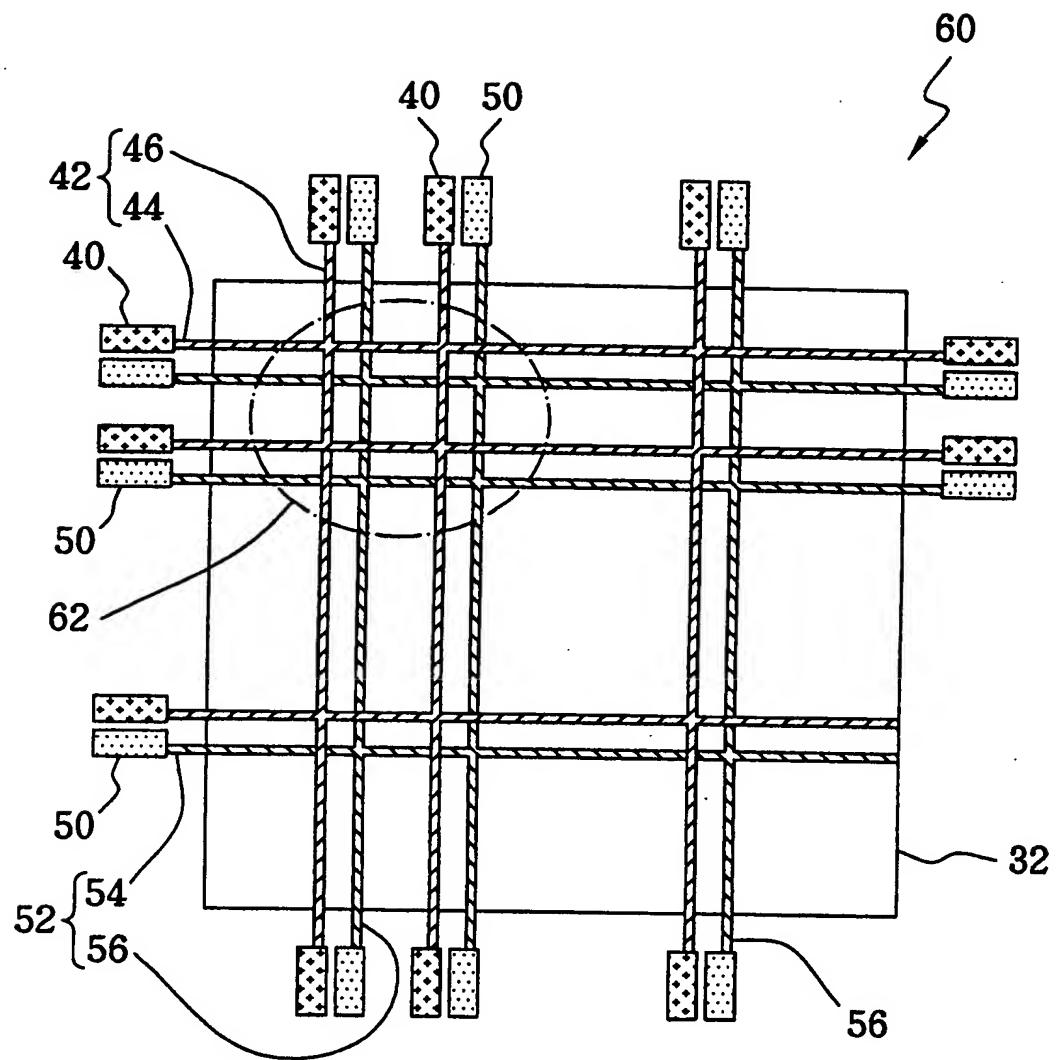


圖 3

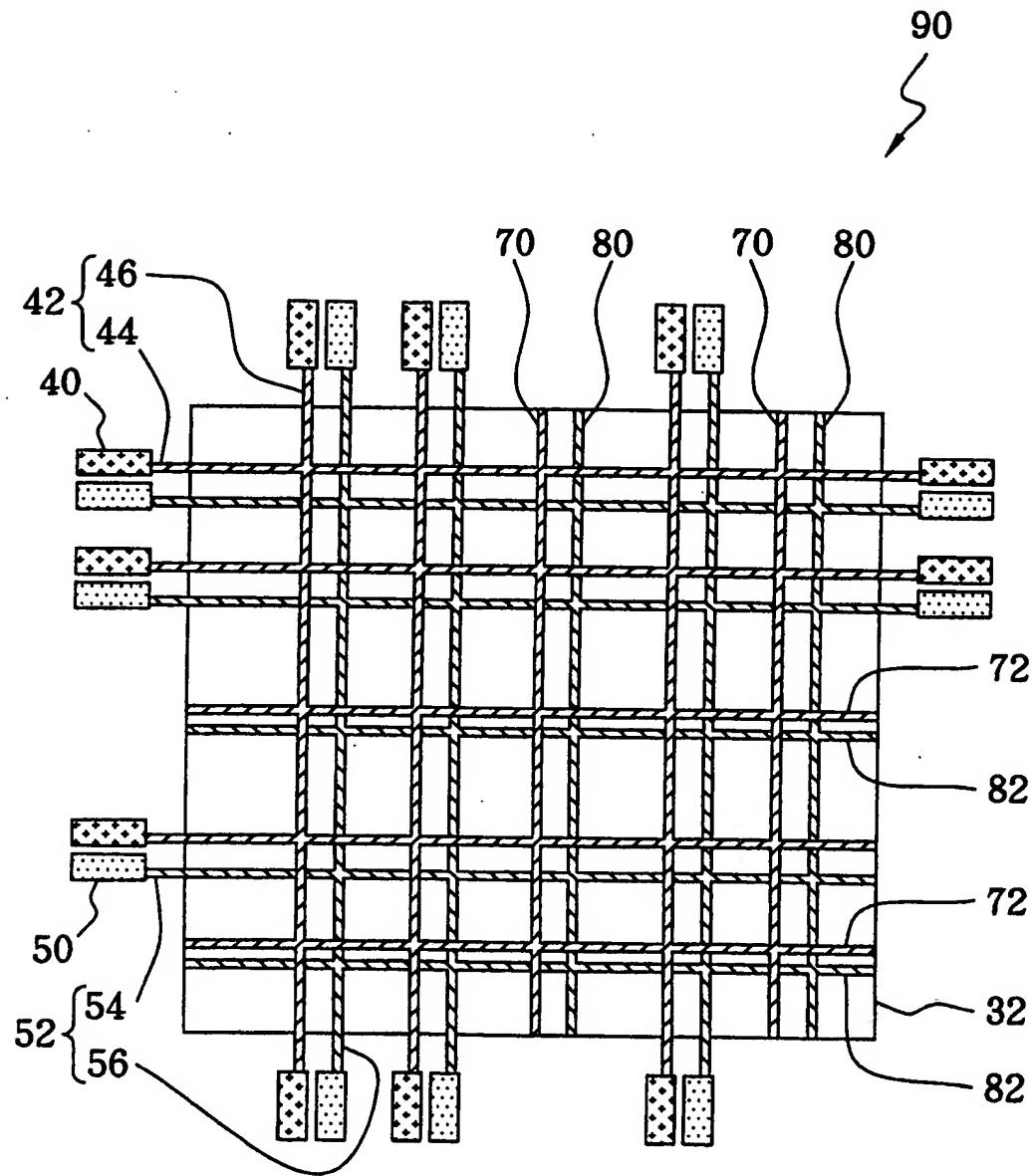


圖 4